

高 k 介质阶梯变宽度 SOI LDMOS

姚佳飞^{1,2}, 郭宇锋^{1,2}, 李 曼^{1,2}, 王子轩^{1,2}, 胡善文^{1,2}, 夏 天³

(1. 南京邮电大学, 江苏南京 210003; 2. 射频集成与微组装技术国家地方联合工程实验室, 江苏南京 210003;
3. 佛蒙特大学, 美国佛蒙特州 05405)

摘 要: 本文提出了一种具有高 k 介质阶梯变宽度结构的新型的 SOI LDMOS 器件, 该器件通过在漂移区内引入介质区域使得漂移区的宽度呈阶梯变化. 借助三维器件仿真软件 DAVINCI 对其势场分布及耐压特性进行了深入分析. 首先, 阶梯变宽度结构能够在漂移区内引入新的电场峰值来优化势场分布, 提高击穿电压. 其次, 采用高 k 材料作为侧壁介质区域可以进一步优化漂移区内势场分布, 并提高漂移区浓度来降低导通电阻. 结果表明, 与常规结构相比, 新器件的击穿电压可提高 42%, 导通电阻可降低 37.5%, 其 FOM 优值是常规器件的 3.2 倍.

关键词: 阶梯变宽度; 高 k 介质; 击穿电压; 导通电阻; 绝缘体上硅

中图分类号: TN31 **文献标识码:** A **文章编号:** 0372-2112 (2018)07-1781-06

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2018.07.035

Novel SOI LDMOS with Step Width Drift Region Using High-k Dielectric

YAO Jia-fei^{1,2}, GUO Yu-feng^{1,2}, LI Man^{1,2}, WANG Zi-xuan^{1,2}, HU Shan-wen^{1,2}, XIA Tian³

(1. Nanjing University of Posts and Telecommunications, Nanjing, Jiangsu 210003, China;

2. National and Local Joint Engineering Laboratory of RF Integration and Micro-Assembly Technology, Nanjing, Jiangsu 210003, China;

3. University of Vermont, Burlington, Vermont 05405, USA)

Abstract: In this paper, a novel SOI LDMOS with step width drift region using high-k dielectric is proposed and investigated by a 3D simulator named DAVINCI. The drift region of new device is divided into several regions with different width using the high-k dielectric. First, new additional electric field peaks are formed at the steps, which enhances the breakdown voltage. Second, the high-k dielectric modulates the potential and electric field distributions to further improve the breakdown voltage, and allows keeping a higher drift doping concentration to reduce the specific on-resistance. Compared with the conventional device, a 42% increase in the breakdown voltage and a 37.5% decrease in the specific on-resistance are obtained in the new SOI LDMOS. The FOM of new device is 3.2 times of the conventional device.

Key words: step width; high-k dielectric; breakdown voltage; on-resistance; SOI

1 引言

绝缘体上硅 (Silicon on Insulator, SOI) 横向双扩散晶体管 (Lateral Double-Diffusion MOSFETs, LDMOS) 凭借隔离性能好, 漏电流小, 速度快等优势被用于制造低功耗、高功率、高可靠性功率集成电路, 在电力电子、通信、自动化控制等领域极具有广泛的应用^[1-5]. 在 SOI LDMOS 的结构设计中, 如何获得其击穿电压与导通电阻的折衷 (FOM 优值) 一直是国内外半导体功率器件研究者探究的热点之一^[6,7]. 为此, 人们提出了多种的耐

压技术, 例如漂移区阶梯掺杂结构^[8], 漂移区阶梯变厚度结构^[9], 埋氧层阶梯结构^[10], 局部侧壁氧化层结构^[11]. 这些结构的共同点是可以引入新的电场峰值, 从而提高击穿电压. 但是, 这些结构的工艺相对复杂, 可靠性低. 并且需要更多掩膜版, 增加了制造成本.

本文提出了一种采用高 k 介质的阶梯变宽度 HK-SW (High-k Step Width) 结构的 SOI LDMOS 器件, 阶梯变宽度的结构能够像阶梯变掺杂和阶梯变厚度结构一样, 在漂移区内部引入多个新的电场峰值, 从而提高击穿电压. 同时, 结合高 k 介质作为侧壁介质区, 还可以进

收稿日期: 2017-04-18; 修回日期: 2017-12-22; 责任编辑: 郭游

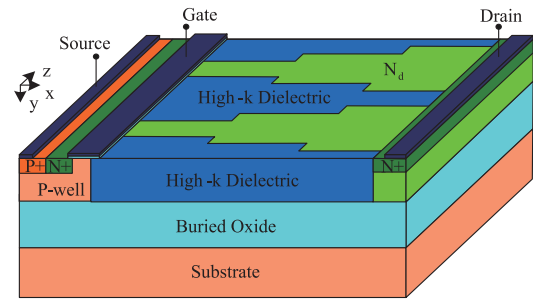
基金项目: 国家自然科学基金 (No. 61704084, No. 61574081); 江苏省高校自然科学面上项目 (No. 17KJB510042); 射频集成与微组装技术国家地方联合工程实验室开放课题 (No. KFJJ20170302)

一步优化势场分布,并提高漂移区的掺杂浓度,大幅降低器件的导通电阻,从而提高 FOM 优值.

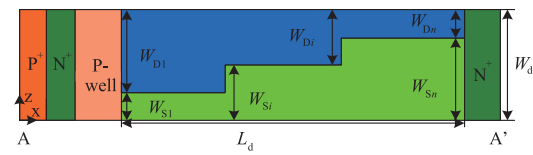
2 器件结构与耐压机理

具有高 k 介质阶梯变宽度 HKS_W (High- k Step Width) 的 SOI LDMOS 器件的三维结构如图 1(a) 所示. 整个漂移区从源到漏被均匀的分为 n 个区域,每个区域的长度为 L_d/n , L_d 为漂移区长度. 每个区域的宽度从源到漏分别为 W_{si} ($i=1,2,\dots,n$),如图 1(b) 所示,阶梯宽度满足条件 $W_{si} \propto (2i-1)W_{s1}$.

为了研究高 k 介质阶梯变宽度 SOI LDMOS (HKS_W LDMOS) 的工作机理,我们采用三维器件仿真软件 DA-VINCI 对常规 LDMOS (C-LDMOS) 和具有不同介质材料



(a) 三维结构示意图



(b) 单元俯视图

图1 高k介质阶梯变宽度SOI LDMOS结构示意图

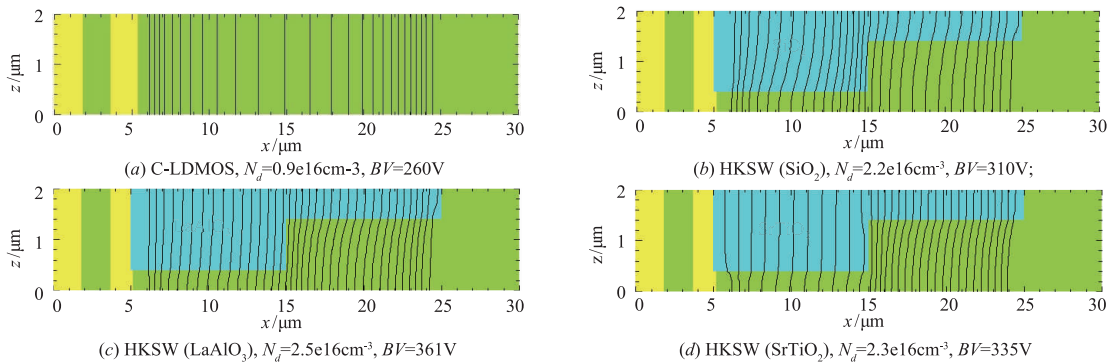


图2 不同介质材料HKS_W LDMOS的等势线分布俯视图(10V/contour)

的 HKS_W LDMOS 进行了三维仿真,所有的器件的漂移区长度均为 20 μm ,宽度均为 2 μm ,厚度均为 1 μm ,埋氧层的厚度均为 3 μm . 图 2 对比了 C-LDMOS 和 HKS_W LDMOS ($n=2$) 的表面等势线分布图,侧壁高 k 介质材料分别采用了二氧化硅 SiO_2 ($\epsilon_D=3.9$), 铝酸镧 LaAlO_3 ($\epsilon_D=30$), 钛酸锶 SrTiO_2 ($\epsilon_D=130$). 从图 2 中可以明显看出,等势线在阶梯处有聚集的现象,使得漂移区在阶梯处能够引入新的电场峰值,如图 3 所示. 虽然通

过宽度变化能够引入峰值,但是不同介电常数的介质会对势场分布会产生不同的效果,从图 3 可以看出,侧壁介质材料的介电常数越高,那么右侧(II 区)的等势线分布会更密集,因此中间峰值和漏端峰值之间(II 区)的电场随介电常数增加而增加. 但是我们同样可以看到,I 区的等势线分布随着介电常数的增加而变的稀疏,电场在 I 区也变得较低. 因此,介电常数为 30 的 HKS_W LDMOS 反而比介电常数为 130 的 HKS_W LDMOS 具有更高的击穿电压.

图 4 给出了不同阶梯数的 HKS_W LDMOS ($n=1, n=2, n=5$) 的等势线分布图. HKS_W LDMOS 采用的介质为 LaAlO_3 . 当 $n=1$ 时,即矩形侧壁高 k 介质 SOI LDMOS 器件,由于采用的介质的介电常数不高,因此 HKS_W LDMOS ($n=1$) 的等势线分布依然密集于漂移区两端,所以击穿电压不高. 当 $n=2$ 时,由于形成了阶梯变宽度的结构,等势线集中于阶梯处,形成新的电场峰值,击穿电压大幅提高,如图 5 所示. 当 $n=5$ 时,多个阶梯能够形成多个电场峰值,其效果使得等势线分布更加均匀,击穿电压进一步提高. HKS_W LDMOS 的漂移区

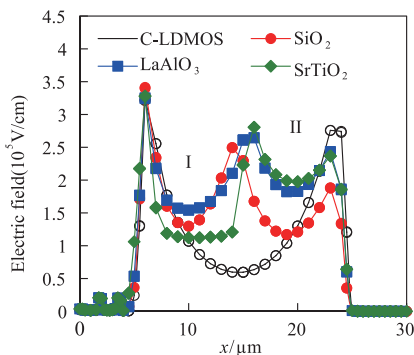


图3 C-LDMOS和不同介质材料HKS_W LDMOS的表面电场分布

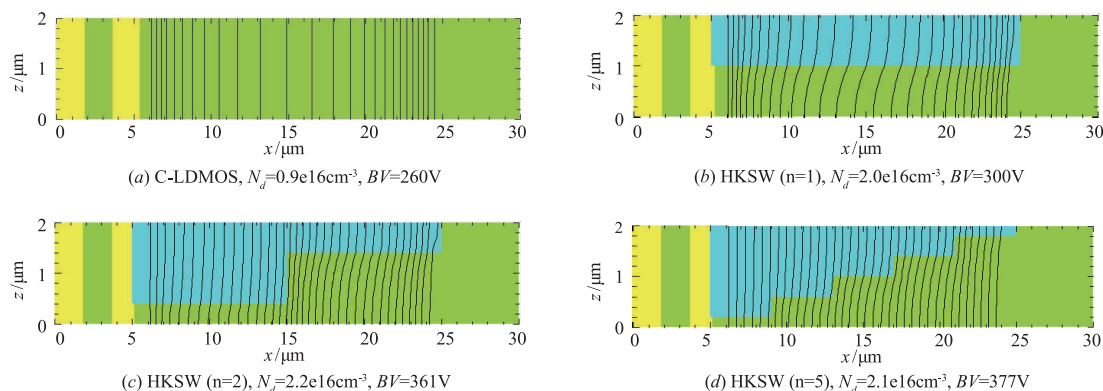


图4 不同阶梯数HKSWS LDMOS的等势线分布俯视图(10V/contour)

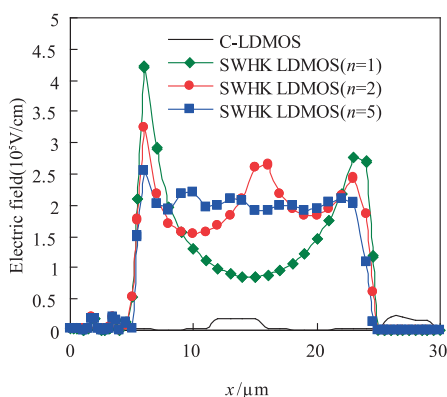


图5 C-LDMOS和不同阶梯数HKSWS LDMOS的表面电场分布

浓度是常规器件的两倍以上,主要得益于高 k 介质的调制效果.而阶梯结构可以进一步提高器件的耐压特性,阶梯数越多,耐压性能越高.因此,侧壁高 k 介质阶梯变宽度 LDMOS 相比于常规 LDMOS 和常规矩形侧壁高 k 介质 LDMOS 具有更加卓越的性能.

3 结构参数优化设计

对于侧壁高 k 介质阶梯变宽度 SOI 横向功率器件而言,阶梯数和介电常数是两个主要的影响因素.由上

节可知,具有不同阶梯数的 HKSWS LDMOS 对于介电常数的要求也不一样,介电常数过大反而会降低击穿电压.为此,我们主要研究了不同阶梯数时高 k 介质介电常数对器件击穿电压,导通电阻的影响,以期获得一个较高的击穿电压和导通电阻的折衷.

图 6 给出了当 $n = 2$ 和 $n = 5$ 时器件击穿电压随漂移区浓度的关系.其中介质材料的介电常数为二氧化硅 SiO_2 ($\epsilon_D = 3.9$),氧化铪 HfO_2 ($\epsilon_D = 21$),铝酸镧 LaAlO_3 ($\epsilon_D = 30$),二氧化钛 TiO_2 ($\epsilon_D = 80$),钛酸锶 SrTiO_3 ($\epsilon_D = 130$),锆钛酸铅 $\text{PbZr}_{0.53}\text{Ti}_{0.47}\text{O}_3$ (PZT, $\epsilon_D = 200$).从图 6(a)可知,当 $n = 2$ 时,采用 LaAlO_3 作为高 k 介质的 HKSWS LDMOS 可以获得一个 361V 的最高击穿电压,同时对应的最优漂移区浓度为 $2.5 \times 10^{16} \text{cm}^{-3}$.而介电常数越高,阶梯两侧的势场分布差距就越大,击穿特性反而变差.从图 6(b)可知,当 $n = 5$ 时,采用 LaAlO_3 作为高 k 介质的 HKSWS LDMOS 依然可以获得最高的击穿电压,但是其最优漂移区浓度明显不如介电常数更高的 HKSWS LDMOS,这是因为 $n = 5$ 时整个漂移区内势场分布都很均匀,介电常数的提高对击穿电压影响不大,而高 k 介质对于漂移区浓度的优化作用越明显,从而可以获得更高的漂移区掺杂浓度.

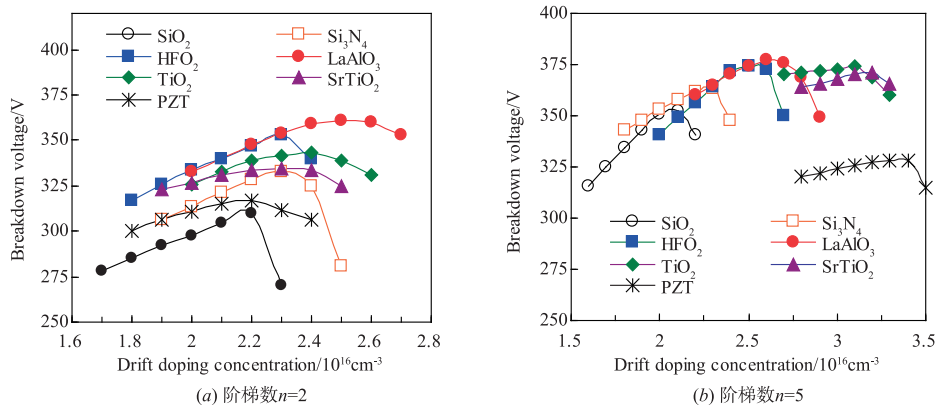


图6 不同阶梯数HKSWS LDMOS击穿电压随漂移区浓度的变化关系

图 7 给出了采用不同介质材料时 HKSU LDMOS ($n=1, n=2, n=5$) 的最优击穿电压和导通电阻. 当 $n=1$ 时, 虽然漂移区内部无电场峰值, 但是高 k 介质对于漂移区具有调制作用, 因此随着介电常数的增加, 击穿电压随之增加, 导通电阻随之减小. 对于 HKSU LDMOS 而言, 阶梯变宽度技术引入了新的电场峰值, 有效的提高了击穿电压, 因此在介电常数较小的时候即可获得高的击穿电压, 如图所示, 击穿电压随着 n 的增加而增加. 然而, 当介电常数较高时, 阶梯变宽度技术的优势

不再那么明显, 而高 k 介质的调制作用越明显, 因此在介电常数较高时, 击穿电压受 n 的影响变的较小. 另外, 从图中可知, 导通电阻随着介电常数的增加而减小, 这是由于介电常数越高的介质对于漂移区浓度的调制作用越强. 但是 $n=2$ 和 $n=5$ 的 HKSU LDMOS 的导通电阻高于 $n=1$ 的导通电阻, 这是因为随着 n 的增加, 靠近源端的硅区宽度 W_{si} 变的越小, 即电流通路的宽度变小了, 因此器件的导通电阻有所增大.

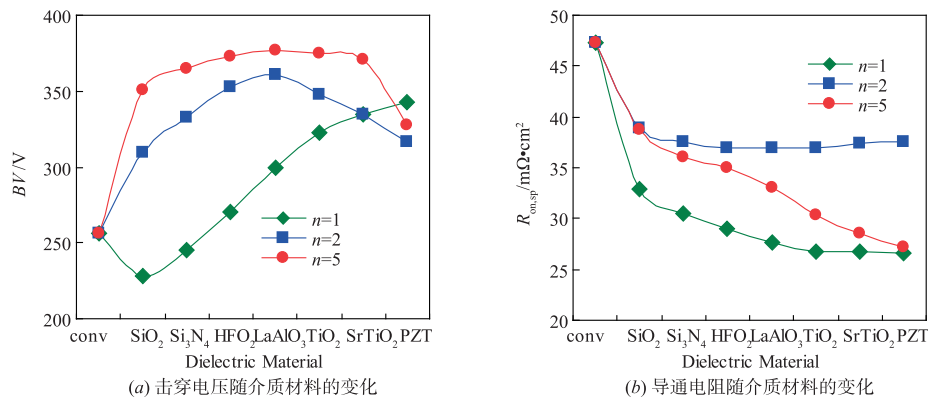


图7 不同阶梯数下介质材料对器件性能的影响

表 1 给出了阶梯数不同的 HKSU 器件 FOM 值最优时的击穿电压, 导通电阻和 FOM 值. 所有的器件的漂移区长度均为 20 μ m, 宽度均为 2 μ m, 厚度均为 1 μ m, 埋氧层的厚度均为 3 μ m. HKSU LDMOS ($n=1$) 具有最小的导通电阻, 但是击穿电压低于 HKSU LDMOS ($n=2, n=5$). HKSU LDMOS ($n=5$) 具有最大的击穿电压, 相比常规器件提高了 42%, 同时导通电阻也较低, 相比常规器件的导通电阻降低了 37.5%, 因此具有最佳的击穿电压和导通电阻的折衷关系, 它的 FOM 值是常规器件的 3.2 倍.

表 1 不同器件的击穿电压, 导通电阻和 FOM 值

参数(单位)	HKSU LDMOS			C-LDMOS
	1	2	5	
阶梯数 n	1	2	5	-
介质材料	PZT	LaAlO ₃	SrTiO ₂	-
击穿电压 (V)	343	361	371	260
导通电阻 (mΩ · cm ²)	26.7	37.0	29.5	47.2
FOM (MW/cm ²)	4.43	3.52	4.60	1.43

图 8 给出了高 k 介质阶梯变宽度 SOI LDMOS 器件的主要制造步骤. 首先是刻蚀沟槽, 这一步骤可以通过

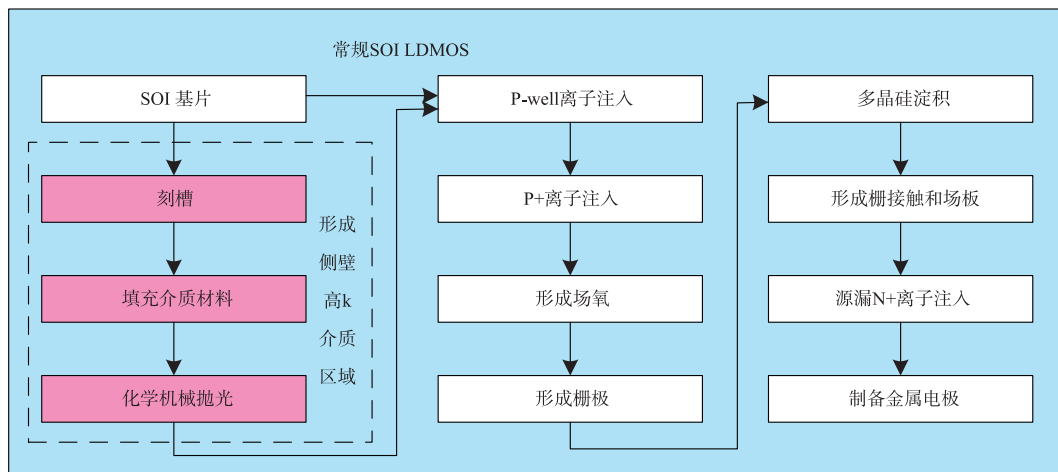


图8 高k介质阶梯变宽度SOI LDMOS器件制备的主要步骤

干法刻蚀或湿法刻蚀的方法,只需改变掩模版的图形即可获得所需沟槽.然后填充介质材料,并利用化学机械抛光进行表面平坦化.在高 k 介质填充并平坦化之后的步骤和常规 SOI LDMOS 工艺步骤完全相同,首先进行 P-well 区的光刻、注入和退火.利用 TEOS 法和热氧化法形成场氧和栅氧,然后进行多晶硅淀积和刻蚀,同时形成栅接触和顶场板,接下来进行源漏注入,形成源漏区和体接触区.再淀积氧化层、刻蚀接触孔、淀积和刻蚀硅铝,形成金属连线,最后进行钝化,完成整个工艺流程.因此新器件的制备不会显著增加工艺复杂度.

4 总结

本文提出了一种具有高 k 介质的阶梯变宽度 SOI LDMOS 器件.借助三维半导体仿真软件 DAVINCI 重点研究了不同高 k 介质材料以及阶梯数对于器件性能的影响,采用阶梯变宽度结构可有有效的产生电场峰值来提高击穿电压,同时采用高 k 介质可以进一步调制漂移区内部的电场分布,提高击穿电压的同时亦可有效的降低导通电阻.结果表明,多阶高 k 介质阶梯变宽度 SOI LDMOS 器件的击穿电压和导通电阻相比于常规器件分别提高了 43% 和降低了 37.5%,其 FOM 值是常规器件的 3.2 倍.因此,高 k 介质阶梯变宽度 SOI LDMOS 器件在 SOI 功率集成电路中有广阔的应用前景.

参考文献

- [1] Hu Y, Wang H, Du C X, et al. A high-voltage ($>600\text{V}$) N-Island LDMOS with step-doped drift region in partial SOI technology [J]. IEEE Transactions on Electron Devices, 2016, 63(5): 1969 – 1976.
- [2] Cao Z, Duan B X, Yuan X N, et al. Super junction LDMOS with step field oxide layer [J]. Micro & Nano Letters, 2016, 11(11): 666 – 669
- [3] Raskin J P. SOI technology pushes the limits of CMOS for RF applications [A]. IEEE 16th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF) [C]. IEEE, 2016. 17 – 20.
- [4] Hao Y, Sim P C, Toner B, et al. A 0.18 μm SOI BCD technology for automotive application [A]. IEEE 27th International Symposium on Power Semiconductor Devices & ICs (ISPSD) [C]. IEEE, 2015. 177 – 180.
- [5] Emmerik-Weijland I M, van Dalen R, van der Wal A B, et al. Development of high-side capable thyristors in thin SOI technology [A]. IEEE 25th International Symposium on Power Semiconductor Devices & ICs (ISPSD) [C]. IEEE, 2013. 353 – 356.
- [6] Wu W, Zhang B, Luo X R, Li Z J. Low specific on-resistance power MOSFET with a surface improved super-junction layer [J]. Superlattices and Microstructures, 2014, 72(4): 1 – 10.
- [7] Luo Y C, Luo X R, et al. A low specific on-resistance SOI LDMOS with a novel junction field plate [J]. Chinese Physics B, 2014, 23(7): 7306 – 5.
- [8] Guo Y F, Li Z J, Zhang B. A new analytical model for optimizing SOI LDMOS with step doped drift region [J]. Microelectronics Journal, 2006, 37(9): 861 – 866.
- [9] Luo X, Zhang B, et al. SOI high-voltage device with step thickness sustained voltage layer [J]. Electronics Letters, 2008, 44(1): 55 – 56.
- [10] Duan B X, Zhang B, Li Z J. Breakdown voltage analysis for a double step buried oxide SOI structure [J]. Chinese Journal of Semiconductors, 2005, 26(7): 1396 – 1400.
- [11] Yao J F, Guo Y F, et al. Novel silicon-on-insulator lateral power device with partial oxide pillars in the drift region [J]. Japanese Journal of Applied Physics, 2013, 52(1): 4302 – 4.

作者简介



姚佳飞 男, 2010年毕业于南京邮电大学微电子学专业, 获理学学士学位, 2015年作为国家公派联合培养博士研究生至美国佛蒙特大学学习一年, 2016年毕业于南京邮电大学微电子学与固体电子学专业, 获博士学位. 目前于南京邮电大学工作, 主要研究方向为新型横向功率器件的设计, 建模和测试. 发表核心以上期刊及国际会议文章 10 余篇.

E-mail: jiffcarfield@163.com



郭宇锋 男, 2005年6月毕业于电子科技大学, 获微电子学博士学位. 现任南京邮电大学教授、博士生导师, 电子与光学工程学院院长. 近年来主持完成了包括国家自然科学基金、省自然科学基金和国际合作项目在内的 20 余项科研项目, 在 IEEE EDL, SSE, MJ, JJAP, CPB, CPL、半导体学报、通信学报、电子与信息学报等国际国内核心期刊和国际国内重要学术会议上发表论文 120 余篇, 其中 80 余篇被 SCI 或 EI 收录. 此外还申请或授权中国发明专利 30 余项. 主要研究方向包括新型微电子器件技术、集成电路设计技术、无线能量和信息协同传输技术等.



李曼 女, 2014年毕业于南京邮电大学微电子学专业, 获理学学士学位, 2017年毕业于南京邮电大学集成电路工程专业, 获工学硕士学位. 现为南京邮电大学射频集成与微组装技术国家地方联合工程实验室助理实验师. 她的主要研究方向为新型横向功率器件的建模和测试.



路设计.

王子轩 男,2014年毕业于东南大学国家专用集成电路系统工程中心,获微电子学博士学位.现为南京邮电大学讲师.近年来主持参与国家自然科学基金、省自然科学基金、国家科技重大专项课题、国家863课题等近十项科研项目,在IEEE Transaction, EL, IEICE, JSCS等国际期刊发表SCI论文十余篇,申请及授权国家发明专利十余项.主要研究方向为数模混合集成电路设计.



权近10项国家专利.

胡善文 男,2007年毕业于吉林大学微电子学专业,获理学学士学位;2014年毕业于东南大学集成电路设计专业,获工学博士学位,曾于2011年-2013年作为交流学者在加州大学IRVINE分校进行学习和研究.现为南京邮电大学讲师,硕士生导师,主要研究方向为射频与功率放大器,射频无源组件的研究与设计,发表核心期刊及国际会议文章20余篇,申请及获授权近10项国家专利.



特州交通部和IBM等机构的多个项目.

夏天 男,2000年毕业于南京邮电大学电子信息工程专业,获硕士学位;2003年毕业于University of Rhode Island,获电子工程博士学位,现为美国University of Vermont电子工程系教授,研究领域是微电子工程,近年来在国际期刊和会议上发表逾80篇学术论文,获7项美国技术专利.承担了美国自然科学基金,美国国家标准与技术研究院,美国交通部,美国宇航局,佛蒙特州交通部和IBM等机构的多个项目.